

TC358746AXBG/TC358748XBG

本资料是为了参考的目的由原始文档翻译而来。
使用本资料时，请务必确认原始文档关联的最新
信息，并遵守其相关指示。

For the latest data sheet, please visit www.sunnywale.com

翻译日期：2022年9月18日，由深圳市桑尼威尔电子有限公司翻译出品

原本：“TC358746AXBG/TC358748XBG”
2016-04-01

:

CMOS 数字集成电路硅单片

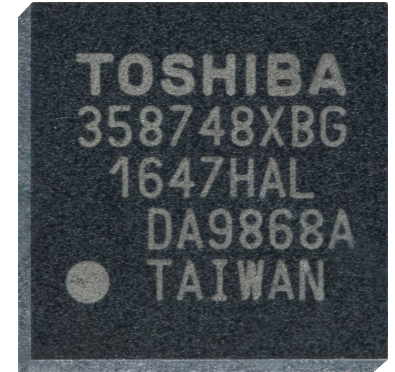
TC358746AXBG/TC358748XBG

移动外围设备

概述

MIPI® CSI-2 → 并行端口和并行端口 → CSI-2

(TC358746AXBG/TC358748XBG) 是通过并行接口将来自设备的（如摄像头）MIPI 传输数据转换至应用处理器的过渡设备。可通过 I²C 或 SPI 访问所有内部寄存器（仅在 CSI 停用情况下）。



特征

● CSI-2 TX/RX 接口

- ◇ 兼容 MIPI CSI-2 （版本 1.01 修订本 0.04 - 2009.04.02）
- ◇ 可配置 TX 或 RX 控制器
- ◇ 最高每数据通道 1Gbps 的传输速率
- ◇ 最多支持 4 个数据通道
- ◇ 支持视频数据格式
 - RX : RAW8/10/12/14, YUV422 (CCIR/ITU 8/10-bit), RGB888/666/565 和用户定义 8-bit
 - TX : YUV422 (CCIR/ITU 8/10-bit), YUV444, RGB888/666/565 和 RAW8/10/12/14

● 并行接口

- ◇ 支持数据格式
 - 24-bit 总线-非压缩格式（包括输入和输出模式）
 - RGB888/666/565, RAW8/10/12/14 和 YUV422 8-bit（8/16-bit 数据总线上）和 10-bit 数据格式。
 - YUV444（仅并行输入模式）
 - YUV422 8-bit – ITU BT.656 和 ITU BT.601（仅并行输入模式）
 - 输出模式 - 频率达 100 MHz PCLK；输入模式 - 频率达 166 MHz。

● I²C 从属接口（CS = L）

- ◇ 支持正常模式(100 kHz)、快速模式(400 kHz) 和特殊模式 (1 MHz)
- ◇ 配置所有 TC358746AXBG/TC358748XBG 内部寄存器

● SPI 从属接口（仅适用于 CSIOut 配置, MSEL = H, CS = H）

- ◇ SPI 接口支持在频率高达 25 MHz 的工况下运行。

- ◇ 配置所有 TC358746AXBG/TC358748XBG 内部寄存器

● GPIO 信号

- ◇ 3 种 GPIO 信号
 - 三种 GPIO 信号可配置为 CSI-2 RX 设备的控制信号（MCLK、CXST、XShutdown）。
 - 或一种 GPIO 信号可配置为并行接口的 INT 信号。

● 系统

- ◇ 时钟和电源管理支持实现低功耗状态。

● 电源输入

- ◇ 内核和 MIPI D-PHY: 1.2 V
- ◇ I/O: 1.8V – 3.3V

目录

参考文献..... 6

1. 概述..... 7

2. 特征..... 9

 2.1. 典型功耗..... 10

3. 外部引脚..... 11

 3.1. TC358746AXBG 引脚分配说明..... 11

 3.2. TC358746AXBG BGA72 引脚数汇总..... 12

 3.3. TC358748XBG BGA80 引脚数汇总..... 12

 3.4. TC358746AXBG 引脚布置..... 13

 3.5. TC358748XBG 引脚布置..... 14

4. 封装..... 15

 4.1. TC358746AXBG 封装：..... 15

 4.2. TC358748XBG 封装..... 16

5. 电气特性..... 17

 5.1. 绝对最大额定值..... 17

 5.2. 操作条件..... 17

 5.3. 直流电气规格..... 18

6. 修订记录..... 19

RESTRICTIONS ON PRODUCT USE..... 20

插图一览

图 1.1 系统概览（CSI-2 RX → 并行端口配置带有 TC358746AXBG/TC358748XBG） 7

图 1.2 系统概览（并行端口→CSI-2 TX 配置带有 TC358746AXBG/TC358748XBG） 8

图 3.1 TC358746AXBG BGA72-引脚布置（顶视图） 13

图 3.2 TC358748XBG 80 引脚布置（顶视图） 14

图 4.1 TC358746AXBG P-VFBGA72-0404-0.40A3 封装 15

图 4.2 TC358748XBG P-VFBGA80-0707-0.65-001 封装 16

表格一览

表 3.1 TC358746AXBG/ TC358748XBG 功能信号列表 11

表 3.2 TC358746AXBG BGA 72 引脚数汇总 12

表 3.3 TC358748XBG BGA 80 引脚数汇总 12

表 4.1 TC358746AXBG P-VFBGA72-0404-0.40A3 机械尺寸 15

表 4.2 TC358748XBG P-VFBGA80-0707-0.65-001 机械尺寸 16

表 6.1 修订记录 19

- MIPI® is registered trademark of MIPI Alliance, Inc.

参考文献

1. MIPI D-PHY, "MIPI_D-PHY_specification_v01-00-00, 2009.05.14"
2. MIPI CSI-2, "MIPI Alliance 摄像头接口标准 2 (CSI-2) 版本 1.01 修订 2010.11"
3. I²C 总线规范, 版本 2.1, 2000.01, 飞利浦半导体

1. 概述

MIPI CSI-2 → 并行端口和并行端口 → CSI-2 (TC358746AXBG/TC358748XBG) 是通过并行接口将来自设备 (如摄像头) 的 MIPI 传输数据转换至应用处理器的过渡设备。可通过 I²C 或 SPI 访问所有内部寄存器 (仅在 CSI 停用情况下)。

存在几种通常使用 TC358746AXBG/TC358748XBG 的系统配置。

- CSI-2 TX 在并行输入模式下用于模拟 TV、远程呈现类型和特殊/陈旧摄像头应用。在该模式下，TC358746AXBG / TC358748XBG (并行端口 → CSI-2 转换器) 是通过 MIPI CSI-2 接口将并行数据传输转换至应用的过渡设备。东芝桥接芯片提供了一个低功耗桥接解决方案，以便将并行传输有效地转换至串行传输。
- CSI-2 RX 在并行输出模式下用于扫描器应用。在该模式下，TC358746AXBG/TC358748XBG (CSI-2 → 并行端口转换器) 是通过并行接口将串行数据传输从设备 (如摄像头) 转换至应用处理器的过渡设备。东芝桥接芯片提供了一个低功耗桥接解决方案，以便将串行传输有效地转换至并行传输。

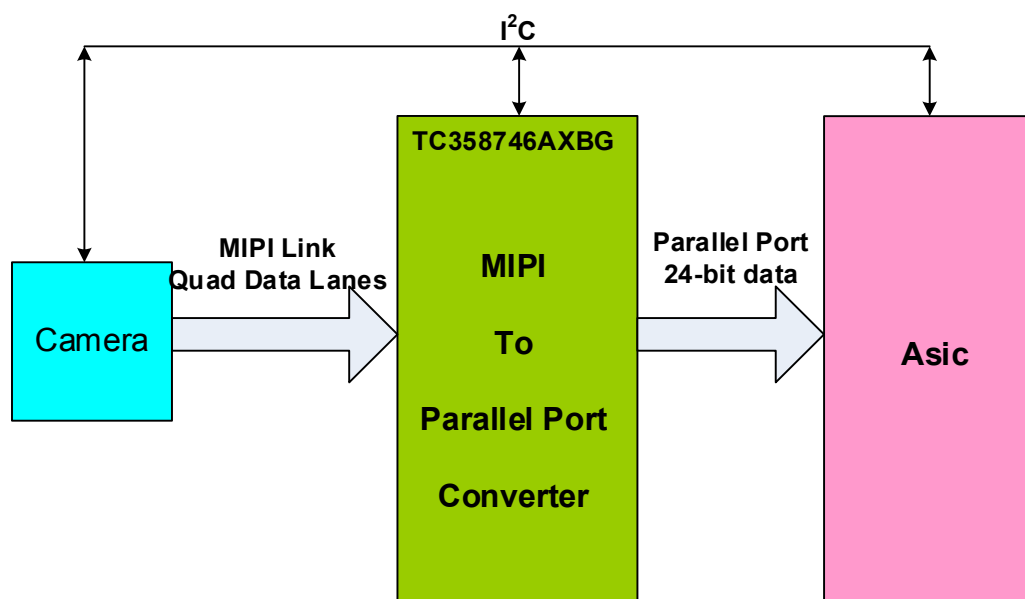


图 1.1 系统概览 (CSI-2 RX → 并行端口配置带有 TC358746AXBG/TC358748XBG)

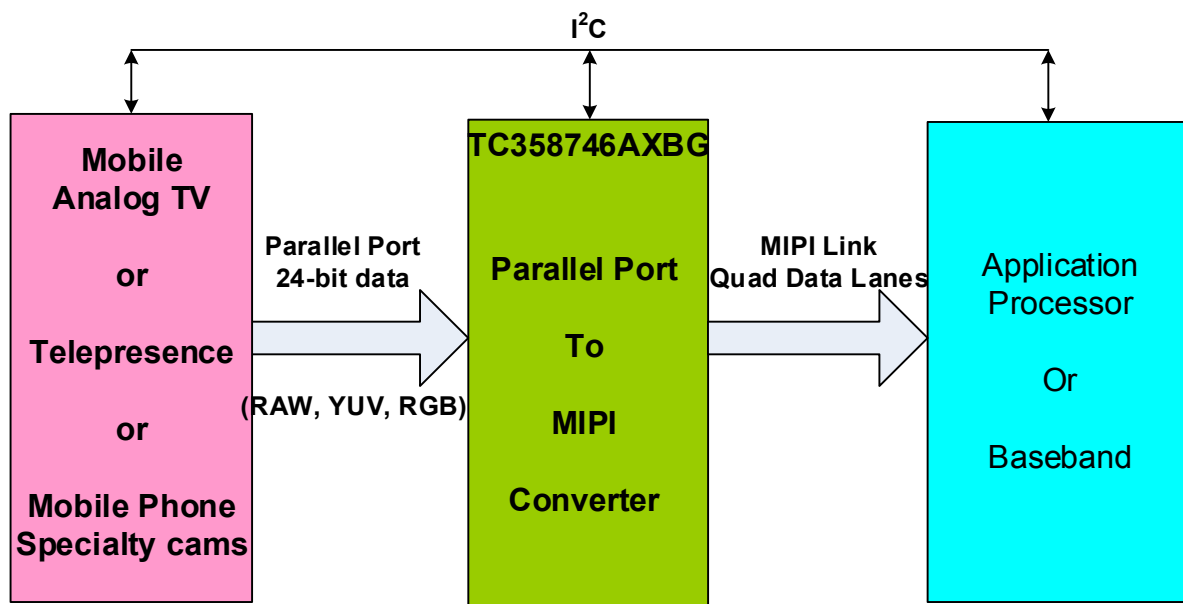


图 1.2 系统概览（并行端口→CSI-2 TX配置带有TC358746AXBG/TC358748XBG）

2. 特征

以下是 TC358746AXBG/TC358748XBG 主要特征。

- CSI-2 TX/RX 接口
 - ✧ 兼容 MIPI CSI-2 (版本 1.01 修订本 0.04 - 2009.04.02)
 - ✧ 可配置 TX 或 RX 控制器
 - ✧ 最高每数据通道 1Gbps 的传输速率
 - ✧ 最多支持 4 个数据通道
 - ✧ 支持视频数据格式
 - RX: RAW8/10/12/14, YUV422 (CCIR/ITU 8/10-bit), RGB888/666/565 和用户定义 8-bit
 - TX: YUV422 (CCIR/ITU 8/10-bit), YUV444, RGB888/666/565 和 RAW8/10/12/14
- 并行接口
 - ✧ 支持数据格式
 - 24-bit 总线-非压缩格式 (包括输入和输出模式)
 - RGB888/666/565, RAW8/10/12/14 和 YUV422 8-bit (8/16-bit 数据总线上) 和 10-bit 数据格式。
 - YUV444 (仅并行输入模式)
 - YUV422 8-bit - ITU BT.656 和 ITU BT.601 (仅并行输入模式)
 - ✧ 输出模式 - 频率高达 100 MHz PCLK; 输入模式 - 频率达 166 MHz。
- I²C 从属接口 (CS = L)
 - ✧ 支持正常模式(100 kHz)、快速模式(400 kHz) 和特殊模式 (1 MHz)
 - ✧ 配置所有 TC358746AXBG/TC358748XBG 内部寄存器
- SPI 从属接口 (仅适用于 CSIO_{out} 配置, MSEL = H, CS = H)
 - ✧ SPI 接口支持在频率高达 25 MHz 的工况下运行。
 - ✧ 配置所有 TC358746AXBG/TC358748XBG 内部寄存器
- GPIO 信号
 - ✧ 3 种 GPIO 信号
 - 三种 GPIO 信号可配置为 CSI-2 RX 设备的控制信号 (MCLK、CX_{rst}、XShutdown)。
 - 或一种 GPIO 信号可配置为并行接口的 INT 信号。
- 系统
 - ✧ 时钟和电源管理支持实现低功耗状态。
- 电源输入
 - ✧ 内核和 MIPI D-PHY: 1.2 V
 - ✧ I/O: 1.8V – 3.3V

2.1. 典型功耗

Parallel_In → CSI_Out, 500MHz CSICLk, 1080P @60fps				
	VDDIO (3.3V)	VDDC (1.2V)	VDD_MIPI (1.2V)	总功率
电流 (mA)	0.44	40.4	24.5	
功率 (mW)	1.452	48.48	29.4	79.33

CSI_In → Parallel_Out, 500MHz CSICLk, 114MHz PCIk ColorBar @60fps				
	VDDIO (3.3V)	VDDC (1.2V)	VDD_MIPI (1.2V)	总功率
电流 (mA)	18.9	13.9	12.3	
功率 (mW)	62.37	16.68	14.76	93.81

3. 外部引脚

3.1. TC358746AXBG 引脚分配说明

TC358746AXBG/TC358748XBG 位于 BGA 引脚封装内。下表列出了 TC358746AXBG/TC358748XBG 信号及其功能。

表3.1 TC358746AXBG/ TC358748XBG 功能信号列表

组别	引脚名称	I/O		类型	初始 (O)	功能	注释
		MSEL=0	MSEL=1				
系统: 复位& 时钟 (4)	RESX	I	I	Sch	-	系统复位输入, 低电平有效	-
	REFCLK	I	I	N	-	基准时钟输入 (6MHz – 40MHz)	-
	MSEL	I	I	N	-	模式选择 1'b0: CSI-2 RX in → Par_out 1'b1: Par_in → CSI-2 TX	-
	CS	I	I	N	-	芯片选择, 低电平有效 MSEL= 0 (CSI-2 RX in → Par_out) - 当 CS=0 时, 选择芯片 正常运行 - 当 CS=1 时, 不选择芯片 不能访问内部寄存器, 当 0x0004[15]被设置时, 并行输出端口可以为三种状态 MSEL= 1 (Par_in → CSI-2 TX) - CS = 0, 选择 I ² C I/F - CS = 1, 选择 SPI I/F	-
MIPI-CSI (10)	MIPI_CP	I	O	PHY	LP11	MIPI-CSI 时钟有效	-
	MIPI_CN	I	O	PHY	LP11	MIPI-CSI 时钟无效	-
	MIPI_D0P	I	O	PHY	LP11	MIPI-CSI Data 0 有效	-
	MIPI_D0N	I	O	PHY	LP11	MIPI-CSI Data 0 无效	-
	MIPI_D1P	I	O	PHY	LP11	MIPI-CSI Data 1 有效	-
	MIPI_D1N	I	O	PHY	LP11	MIPI-CSI Data 1 无效	-
	MIPI_D2P	I	O	PHY	LP11	MIPI-CSI Data 2 有效	-
	MIPI_D2N	I	O	PHY	LP11	MIPI-CSI Data 2 无效	-
	MIPI_D3P	I	O	PHY	LP11	MIPI-CSI Data 3 有效	-
	MIPI_D3N	I	O	PHY	LP11	MIPI-CSI Data 3 无效	-
I2C I/F (2)	I2C_SCL	I	I	Sch	-	I ² C 串行时钟或 SPI_SCLCLK	4mA
	I2C_SDA	I	I	Sch	-	I ² C 串行数据或 SPI_MOSI	4mA
并行 端口 I/F (27)	PD[23:0]	O	I	N	L	并行端口数据 - PD[23:12] 可配置为 GPIO[15:4]	4 mA
	VVALID	O	I	N	L	并行端口 VVALID 信号	4 mA
	HVALID	O	I	N	L	并行端口 HVALID 信号	4 mA
	PCLK	O	I	N	L	并行端口时钟信号	4 mA
GPIO (3)	GPIO[2:0]	I	I	N	-	GPIO[2:0] 信号 CSI-2 RX in → Par_out - (GPIO[0] 选项为 MCLK 信号) - (GPIO[1] 选项为 CXRST 或 INT 信号) - (GPIO[2] 选项为 XShutdown 信号) Par_in → CSI-2 TX - (GPIO[0] 选项为 MCLK 信号) - (GPIO[1] 选项为 SPI_SS 或 INT 信号) - (GPIO[2] 选项为 SPI_MISO 信号)	4 mA
电源 (9)	VDDC (1.2V)	NA	-	-	-	用于内核的 VDD(2)	-
	VDDIO (1.8V – 3.3 V)	NA	-	-	-	用于 IO 电源支持的 VDDIO (3)	-
	VDD_MIPI (1.2V)	NA	-	-	-	用于 MIPI CSI2 的 VDD (2)	-
接地 ^{注1}	VSS	NA	-	-	-	接地	-

注 1: TC358746AXBG=17, TC358748XBG=25

3.2. TC358746AXBG BGA72 引脚数汇总

表3.2 TC358746AXBG BGA 72引脚数汇总

组名	引脚数	注释
系统	4	-
MIPI-CSI	10	-
I2C I/F	2	-
GPIO	3	-
并行端口 I/F	27	-
电源	9	IO、MIPI 和内核电源
接地	17	-
总计	72	

3.3. TC358748XBG BGA80 引脚数汇总

表3.3 TC358748XBG BGA 80 引脚数汇总

组名	引脚数	注释
系统	4	-
MIPI-CSI	10	-
I2C I/F	2	-
GPIO	3	-
并行端口 I/F	27	-
电源	9	IO、MIPI 和内核电源
接地	25	-
总计	80	

3.4. TC358746AXBG 引脚布置

A1 VSS	A2 PD17	A3 PD19	A4 PD21	A5 PD23	A6 GPIO2	A7 I2C_SCL	A8 MSEL	A9 VSS
B1 VDDC	B2 PD16	B3 PD18	B4 PD20	B5 PD22	B6 GPIO1	B7 I2C_SDA	B8 RESX	B9 VDDIO
C1 PD15	C2 PD14	C3 VSS	C4 VSS	C5 VSS	C6 VSS	C7 VDD_MIPI	C8 MIPI_D3P	C9 MIPI_D3N
D1 PD13	D2 PD12	D3 VSS				D7 VSS	D8 MIPI_D2P	D9 MIPI_D2N
E1 VSS	E2 VSS	E3 VDDC				E7 VDD_MIPI	E8 MIPI_CP	E9 MIPI_CN
F1 VSS	F2 VSS	F3 VSS				F7 VSS	F8 MIPI_D1P	F9 MIPI_D1N
G1 PD11	G2 PD10	G3 VDDIO	G4 VSS	G5 VSS	G6 VDDIO	G7 VDDIO	G8 MIPI_D0P	G9 MIPI_D0N
H1 VDDC	H2 PD8	H3 PD6	H4 PD4	H5 PD2	H6 PD0	H7 PCLK	H8 HVALID	H9 CS
J1 VSS	J2 PD9	J3 PD7	J4 PD5	J5 PD3	J6 PD1	J7 REFCLK	J8 VVALID	J9 GPIO0

图 3.1 TC358746AXBG BGA72-引脚布置（顶视图）

3.5. TC358748XBG 引脚布置

A1	A2	A3	A4	A5	A6	A7	A8	A9	A10
VSS	PD17	PD19	PD21	PD23	GPIO2	VDDC	I2C_SCL	MSEL	VSS
B1	B2	B3	B4	B5	B6	B7	B8	B9	B10
VDDC	PD16	PD18	PD20	PD22	GPIO1	VSS	I2C_SDA	RESX	VDDIO
C1	C2	C3	C4	C5	C6	C7	C8	C9	C10
PD15	PD14							MIPI_D3P	MIPI_D3N
D1	D2	D3	D4	D5	D6	D7	D8	D9	D10
PD13	PD12		VSS	VSS	VSS	VSS		MIPI_D2P	MIPI_D2N
E1	E2	E3	E4	E5	E6	E7	E8	E9	E10
PD11	PD10		VSS	VSS	VSS	VSS		VSS	VDD_MIP
F1	F2	F3	F4	F5	F6	F7	F8	F9	F10
PD9	PD8		VSS	VSS	VSS	VSS		MIPI_CP	MIPI_CN
G1	G2	G3	G4	G5	G6	G7	G8	G9	G10
PD7	PD6		VSS	VSS	VSS	VSS		MIPI_D1P	MIPI_D1N
H1	H2	H3	H4	H5	H6	H7	H8	H9	H10
VDDIO	VSS							VSS	VDD_MIP
J1	J2	J3	J4	J5	J6	J7	J8	J9	J10
PD4	PD2	PD0	VSS	VSS	PCLK	HVALID	CS	MIPI_D0P	MIPI_D0N
K1	K2	K3	K4	K5	K6	K7	K8	K9	K10
PD5	PD3	PD1	VDDC	VDDIO	REFCLK	VVALID	GPIO0	VDDIO	VSS

图3.2 TC358748XBG 80 引脚布置（顶视图）

4. 封装

4.1. TC358746AXBG 封装：

TC358746AXBG 封装如下图所示。

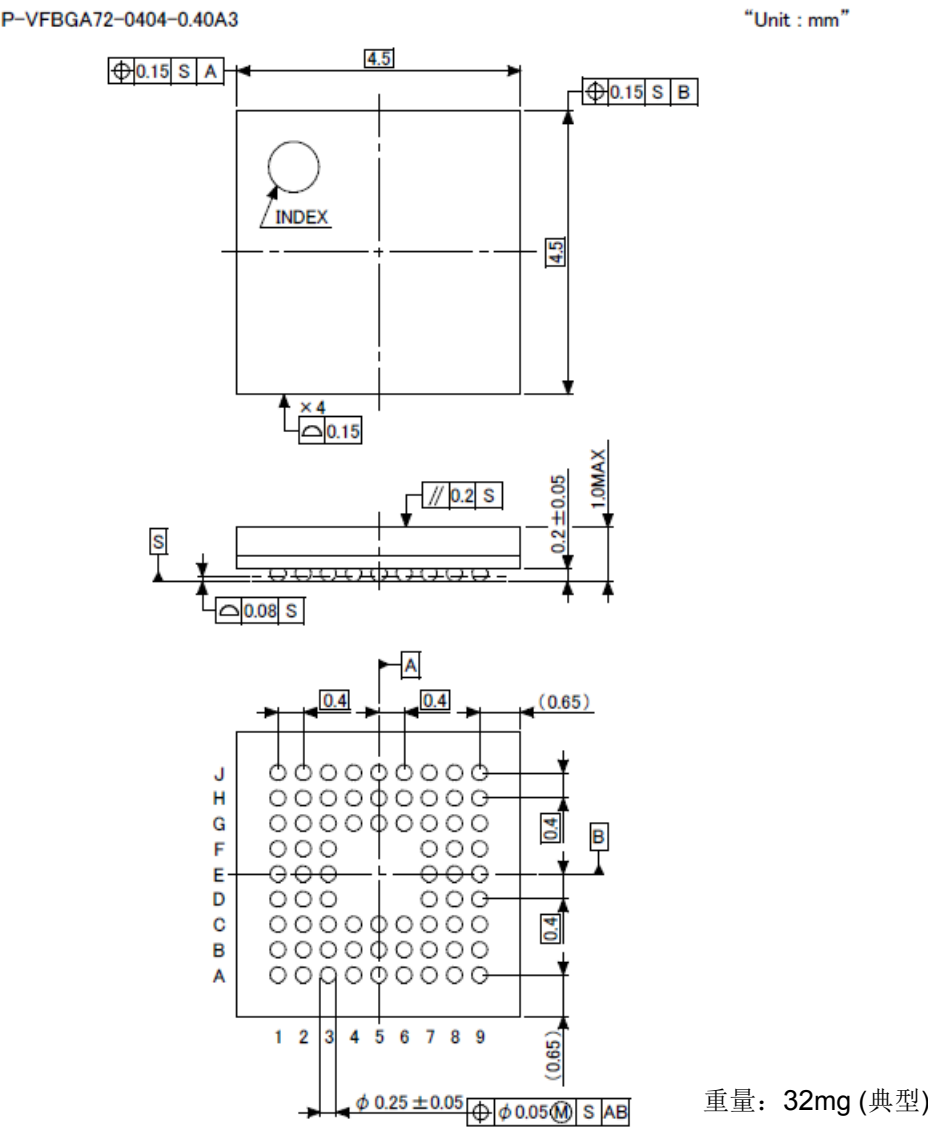


图4.1 TC358746AXBG P-VFBGA72-0404-0.40A3 封装

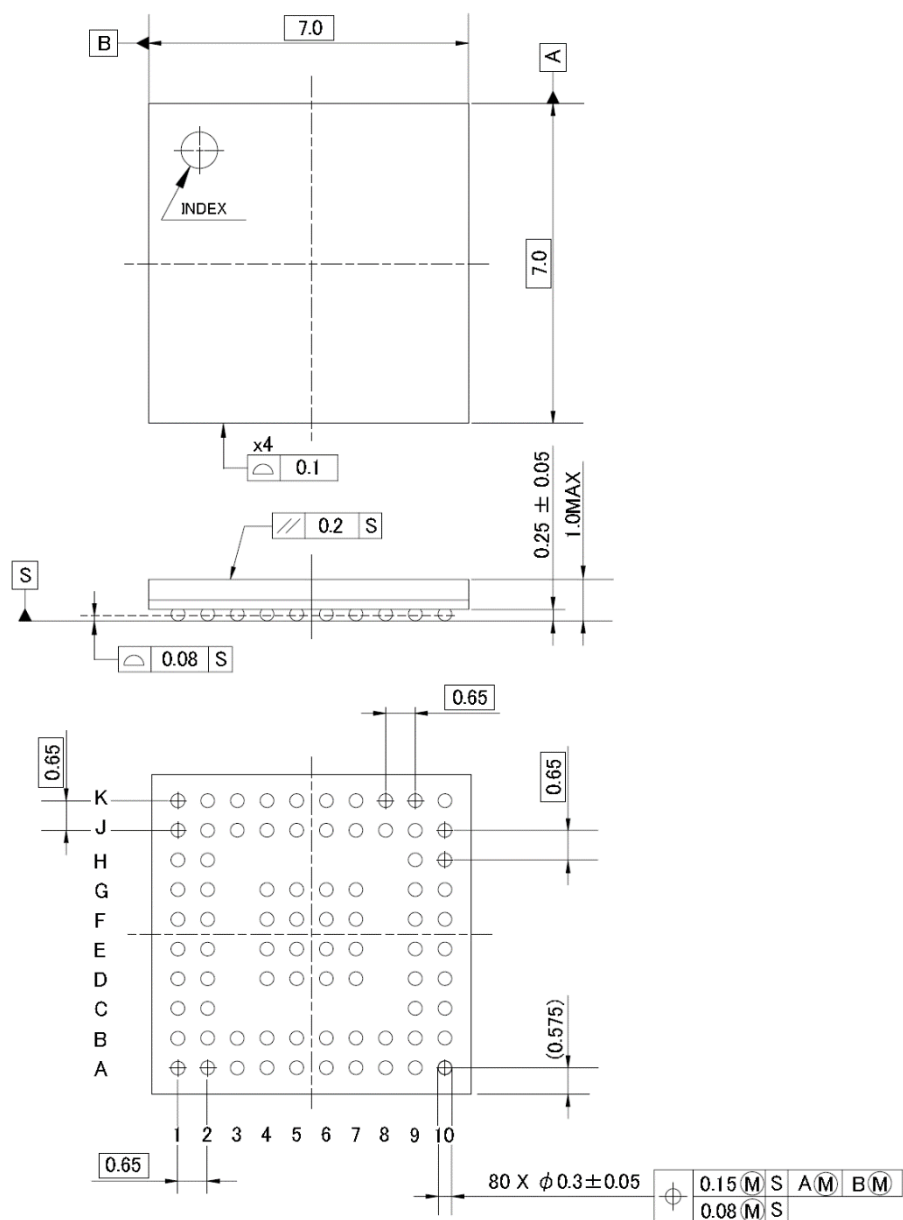
表4.1 TC358746AXBG P-VFBGA72-0404-0.40A3 机械尺寸

尺寸	最小值	典型值	最大值
焊球间距	-	0.4 mm	-
焊球高度	0.15 mm	0.2 mm	0.205 mm
封装尺寸	-	4.5 x 4.5 mm ²	-
封装高度	-	-	1.0 mm

4.2. TC358748XBG 封装

TC358748XBG 封装如下图所示。

单位:mm



重量: 68 mg (典型)

图4.2 TC358748XBG P-VFBGA80-0707-0.65-001 封装

表4.2 TC358748XBG P-VFBGA80-0707-0. 65-001 机械尺寸

尺寸	最小值	典型值	最大值
焊球间距	-	0.65 mm	-
焊球高度	0.20 mm	0.25 mm	0.30 mm
封装尺寸	-	7.0×7.0 mm ²	-
封装高度	-	-	1.0 mm

5. 电气特性

5.1. 绝对最大额定值

VSS= 0V 基准

参数	符号	额定值	单位
电源电压 (1.8V - 数字 IO)	VDDIO	-0.3 to +3.9	V
电源电压 (1.2V - 数字内核)	VDDC	-0.3 to +1.8	V
电源电压 (1.2V - MIPI CSI PHY)	VDD_MIPI	-0.3 to +1.8	V
输入电压 (CSI IO)	V _{IN_CSI}	-0.3 to VDD_MIPI+0.3	V
输出电压 (CSI IO)	V _{OUT_CSI}	-0.3 to VDD_MIPI+0.3	V
输入电压 (数字 IO)	V _{IN_IO}	-0.3 to VDDIO+0.3	V
输出电压 (数字 IO)	V _{OUT_IO}	-0.3 to VDDIO+0.3	V
结温	T _j	125	°C
储存温度	T _{stg}	-40 to +125	°C

5.2. 操作条件

VSS= 0V 基准

参数	符号	最小值	典型值	最大值	单位
电源电压(1.8V - 数字 IO)	VDDIO	1.65	1.8	1.95	V
电源电压(3.3V - 数字 IO)	VDDIO	3.0	3.3	3.6	V
电源电压(1.2V - 数字内核)	VDDC	1.1	1.2	1.3	V
电源电压(1.2V - MIPI CSI PHY)	VDD_MIPI	1.1	1.2	1.3	V
工作温度 (环境温度, 外施电压)	T _a	-30	+25	+85	°C
电源噪声电压	V _{SN}	-	-	100	mV _{pp}

5.3. 直流电气规格

参数	符号	最小值	典型值	最大值	单位
输入电压, 高电平输入 ^{注1}	V_{IH}	0.7 VDDIO	-	VDDIO	V
输入电压, 低电平输入 ^{注1}	V_{IL}	0	-	0.3 VDDIO	V
输入电压, 高电平 CMOS 施密特触发器 ^{注1, 注2}	V_{IHS}	0.7 VDDIO	-	VDDIO	V
输入电压, 低电平 CMOS 施密特触发器 ^{注1, 注2}	V_{ILS}	0	-	0.3 VDDIO	V
输出电压, 高电平 ^{注1, 注2} (条件: $I_{OH} = 0.4mA$)	V_{OH}	0.8 VDDIO	-	VDDIO	V
输出电压, 低电平 ^{注1, 注2} (条件: $I_{OL} = 2mA$)	V_{OL}	0	-	0.2 VDDIO	V
输入漏电流, 高电平 (正常 IO 或上拉 IO) (条件: $V_{IN} = +VDDIO$, VDDIO = 3.6V)	I_{ILH1} (Note4)	-10	-	10	μA
输入漏电流, 高电平 (下拉 IO) (条件: $V_{IN} = +VDDIO$, VDDIO = 3.6V)	I_{ILH2} (Note4)	-	-	100	μA
输入漏电流, 低电平 (正常 IO 或下拉 IO) (条件: $V_{IN} = 0V$, VDDIO = 3.6V)	I_{ILL1} (Note5)	-10	-	10	μA
输入漏电流, 低电平 (上拉 IO) (条件: $V_{IN} = 0V$, VDDIO = 3.6V)	I_{ILL2} (Note5)	-	-	200	μA

注 1: 各电源需在建议操作条件下工作。

注 2: 针对各 IO 缓冲器单独规定电流输出值。输出电压随输出电流值变化。

注 4: “正常”引脚或“上拉 IO”引脚向 V_{in} (输入电压) 施加 VDDIO 电源电压

注 5: “正常”引脚或“下拉 IO”引脚向 V_{in} (输入电压) 施加 VSSIO(0V)

6. 修订记录

表6.1 修订记录

修订版本	日期	说明
Rev 0.91	2014-05-29	最新发布
Rev 1.11	2015-10-7	1. 删除“故障安全 I2C 衬垫操作” 2. 将“HSync/VSyn”改为“HValid/Vvalid” 3. 更新表 3-1 的初始条件及其输出值
Rev 1.12	2016-04-01	1. 删除封装重量小数点后的值。 2. TC358746A 封装代码： P-VFBGA72-0505-0.40-001→P-VFBGA72-0404-0.40A3 3. 更换 TC358746A 封装图纸

RESTRICTIONS ON PRODUCT USE

- Toshiba Corporation, and its subsidiaries and affiliates (collectively "TOSHIBA"), reserve the right to make changes to the information in this document, and related hardware, software and systems (collectively "Product") without notice.
- This document and any information herein may not be reproduced without prior written permission from TOSHIBA. Even with TOSHIBA's written permission, reproduction is permissible only if reproduction is without alteration/omission.
- Though TOSHIBA works continually to improve Product's quality and reliability, Product can malfunction or fail. Customers are responsible for complying with safety standards and for providing adequate designs and safeguards for their hardware, software and systems which minimize risk and avoid situations in which a malfunction or failure of Product could cause loss of human life, bodily injury or damage to property, including data loss or corruption. Before customers use the Product, create designs including the Product, or incorporate the Product into their own applications, customers must also refer to and comply with (a) the latest versions of all relevant TOSHIBA information, including without limitation, this document, the specifications, the data sheets and application notes for Product and the precautions and conditions set forth in the "TOSHIBA Semiconductor Reliability Handbook" and (b) the instructions for the application with which the Product will be used with or for. Customers are solely responsible for all aspects of their own product design or applications, including but not limited to (a) determining the appropriateness of the use of this Product in such design or applications; (b) evaluating and determining the applicability of any information contained in this document, or in charts, diagrams, programs, algorithms, sample application circuits, or any other referenced documents; and (c) validating all operating parameters for such designs and applications. **TOSHIBA ASSUMES NO LIABILITY FOR CUSTOMERS' PRODUCT DESIGN OR APPLICATIONS.**
- **PRODUCT IS NEITHER INTENDED NOR WARRANTED FOR USE IN EQUIPMENTS OR SYSTEMS THAT REQUIRE EXTRAORDINARILY HIGH LEVELS OF QUALITY AND/OR RELIABILITY, AND/OR A MALFUNCTION OR FAILURE OF WHICH MAY CAUSE LOSS OF HUMAN LIFE, BODILY INJURY, SERIOUS PROPERTY DAMAGE AND/OR SERIOUS PUBLIC IMPACT ("UNINTENDED USE").** Except for specific applications as expressly stated in this document, Unintended Use includes, without limitation, equipment used in nuclear facilities, equipment used in the aerospace industry, medical equipment, equipment used for automobiles, trains, ships and other transportation, traffic signaling equipment, equipment used to control combustions or explosions, safety devices, elevators and escalators, devices related to electric power, and equipment used in finance-related fields. **IF YOU USE PRODUCT FOR UNINTENDED USE, TOSHIBA ASSUMES NO LIABILITY FOR PRODUCT.** For details, please contact your TOSHIBA sales representative.
- Do not disassemble, analyze, reverse-engineer, alter, modify, translate or copy Product, whether in whole or in part.
- Product shall not be used for or incorporated into any products or systems whose manufacture, use, or sale is prohibited under any applicable laws or regulations.
- The information contained herein is presented only as guidance for Product use. No responsibility is assumed by TOSHIBA for any infringement of patents or any other intellectual property rights of third parties that may result from the use of Product. No license to any intellectual property right is granted by this document, whether express or implied, by estoppel or otherwise.
- **ABSENT A WRITTEN SIGNED AGREEMENT, EXCEPT AS PROVIDED IN THE RELEVANT TERMS AND CONDITIONS OF SALE FOR PRODUCT, AND TO THE MAXIMUM EXTENT ALLOWABLE BY LAW, TOSHIBA (1) ASSUMES NO LIABILITY WHATSOEVER, INCLUDING WITHOUT LIMITATION, INDIRECT, CONSEQUENTIAL, SPECIAL, OR INCIDENTAL DAMAGES OR LOSS, INCLUDING WITHOUT LIMITATION, LOSS OF PROFITS, LOSS OF OPPORTUNITIES, BUSINESS INTERRUPTION AND LOSS OF DATA, AND (2) DISCLAIMS ANY AND ALL EXPRESS OR IMPLIED WARRANTIES AND CONDITIONS RELATED TO SALE, USE OF PRODUCT, OR INFORMATION, INCLUDING WARRANTIES OR CONDITIONS OF MERCHANTABILITY, FITNESS FOR A PARTICULAR PURPOSE, ACCURACY OF INFORMATION, OR NONINFRINGEMENT.**
- Do not use or otherwise make available Product or related software or technology for any military purposes, including without limitation, for the design, development, use, stockpiling or manufacturing of nuclear, chemical, or biological weapons or missile technology products (mass destruction weapons). Product and related software and technology may be controlled under the applicable export laws and regulations including, without limitation, the Japanese Foreign Exchange and Foreign Trade Law and the U.S. Export Administration Regulations. Export and re-export of Product or related software or technology are strictly prohibited except in compliance with all applicable export laws and regulations.
- Please contact your TOSHIBA sales representative for details as to environmental matters such as the RoHS compatibility of Product. Please use Product in compliance with all applicable laws and regulations that regulate the inclusion or use of controlled substances, including without limitation, the EU RoHS Directive. **TOSHIBA ASSUMES NO LIABILITY FOR DAMAGES OR LOSSES OCCURRING AS A RESULT OF NONCOMPLIANCE WITH APPLICABLE LAWS AND REGULATIONS.**